

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-282582

(43)Date of publication of application : 27.10.1995

(51)Int.Cl.

G11C 11/409

(21)Application number : 06-072197

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.04.1994

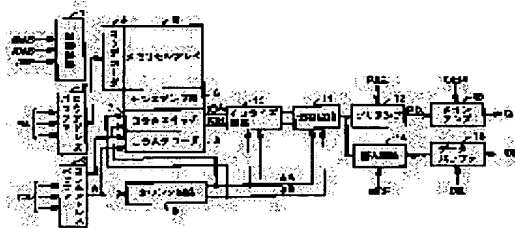
(72)Inventor : SAKURAI MIKIO
TANAKA YOSHINORI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor storage device capable of performing a high-speed data read-out without being affected by an equalizing time.

CONSTITUTION: A selected bit line pair included in a memory cell array 5 is connected to one pair of two data input-output line pairs IOA, IOB and read data are outputted to a preamplifier 12 via a changeover circuit 11. Further, one data input-output line pair which is not used for a data transmission in data input-output line pairs IOA, IOB is equalized by an equalizing circuit 10. Thus, since the data read-out and the equalizing operation are executed in parallel, the high-speed data read-out is made possible.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成7年(1995)10月27日

技術表示箇所

3 5 4 A

(74) 代理人 弁理士 深見 久郎 (外3名)

[illegible]

【特許請求の範囲】

【請求項1】 複数のワード線と、
前記ワード線と交差して配置された複数のビット線対と、
前記ワード線と前記ビット線対との交点に配置された複数のメモリセルを含むメモリセルアレイと、
前記メモリセルアレイから出力されるデータおよび前記メモリセルアレイに入力されるデータを伝送する第1および第2データ入出力線対と、
読出時に選択された前記ビット線対と前記第1または第2データ入出力線対とを選択的に接続する接続手段と、
前記第1または第2データ入出力線対のうちデータ伝送に使用されていないデータ入出力線対をイコライズするイコライズ手段を含む半導体記憶装置。

【請求項2】 前記接続手段は、さらに、
前記ビット線対を選択するための選択信号に応答して前記第1または第2データ入出力線対を交互に選択する選択手段を含む請求項1記載の半導体記憶装置。

【請求項3】 複数のワード線、
前記ワード線と交差して配置された複数のビット線対と、
前記ワード線と前記ビット線対との交点に配置された複数のメモリセルを含むメモリセルアレイと、
前記メモリセルアレイから出力されるデータのみを伝送する第1および第2データ線対と、
読出時に選択されたビット線対と前記第1または第2データ線対とを選択的に接続する接続手段と、
前記第1または第2データ線対のうちデータ伝送に使用されていないデータ線対をイコライズするイコライズ手段を含む半導体記憶装置。

【請求項4】 複数のワード線、
前記ワード線と交差して配置された複数のビット線対と、
前記ワード線と前記ビット線対との交点に配置された複数のメモリセルを含むメモリセルアレイと、
前記メモリセルアレイから出力されるデータを伝送する副データ線対と、
前記副データ線対から伝送されたデータを伝送する第1および第2主データ線対と、
前記第1または第2主データ線対と前記副データ線対とを選択的に接続する接続手段と、
前記第1または第2主データ線対のうちデータ伝送に使用されていない主データ線対をイコライズするイコライズ手段を含む半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置に関し、特に、メモリセルアレイから出力されるデータを伝送するデータ線を有する半導体記憶装置に関するものである。

【0002】

【従来の技術】 半導体記憶装置の高密度化および高集積化に伴い、メモリセルアレイから読出されたデータを伝送するデータ線対は、長大化および微細化され、データ線対の容量が大きくなり、データ線対のイコライズ時間が長くなる傾向にある。一方、半導体記憶装置は、高速化が要求されるため、このイコライズ時間を短縮し、高速なデータの読出を行なう必要がある。

【0003】 以下、従来の半導体記憶装置について図面を参照しながら説明する。図10は、従来の半導体記憶装置であるDRAM（ダイナミックランダムアクセスメモリ）の構成を示すブロック図である。

【0004】 図10を参照して、半導体記憶装置は、制御回路101、ロウアドレスバッファ102、コラムアドレスバッファ103、ロウデコーダ104、メモリセルアレイ105、センスアンプ部106、コラムスイッチ107、コラムデコーダ108、イコライズ回路110、プリアンプ112、メインアンプ113、書込回路114、データバッファ115を含む。

【0005】 制御回路101には、ロウアドレスストローブ信号/RAS（“/”は反転信号を示す）、コラムアドレスストローブ信号/CAS、ライトイネーブル信号/WE等の外部制御信号が入力され、内部の各ブロックへ所定の制御信号を発生する。ロウアドレスバッファ102には、外部からロウアドレス信号RAが入力され、内部ロウアドレス信号をロウデコーダ104へ出力する。コラムアドレスバッファ103には、外部からコラムアドレス信号CAが入力され、内部コラムアドレス信号をコラムデコーダ108へ出力する。また、コラムアドレスバッファ103は、コラムデコーダ108を活性化させ、かつ、コラムアドレス信号CAの変化に応答して変化するコラム制御信号Aをコラムデコーダ108へ出力する。

【0006】 メモリセルアレイ105は、ロウデコーダに接続される複数のワード線、ワード線と交差して配置される複数のビット線対、およびワード線とビット線対との交点に配置される複数のメモリセルを含む。ロウデコーダ104は、内部ロウアドレス信号に応答して所定のワード線を活性化させる。また、コラムデコーダ108は、内部コラムアドレス信号に応答してコラムスイッチ107を動作させ、選択されたビット線対とデータ入出力線対IOとを接続する。選択されたメモリセルのデータはビット線対を経由しセンスアンプ部106で増幅された後、コラムスイッチ107を介してデータ入出力線対IOへ出力される。

【0007】 イコライズ回路110は、データ入出力線対IOにデータが読出される前に、データ入出力線対IOのイコライズおよびプリチャージを行なう。イコライズされたデータ入出力線対IOに読出されたデータはプリアンプ112へ入力する。プリアンプ112はプリア

ンプイネーブル信号PAEにตอบสนองしてデータ入出力線対IOを介して伝送された信号を増幅し、リードデータ信号RDとしてメインアンプ113へ出力する。メインアンプ113は、アウトプットイネーブル信号OEMにตอบสนองしてリードデータ信号RDを増幅し、出力データQとして外部へ出力する。

【0008】書込動作時は、外部から入力データDinがデータバッファ115へ入力され、データインラッチ信号DILにตอบสนองして入力データDinをラッチし、書込回路114へ出力する。書込回路114は、ライトデータイネーブル信号WDEにตอบสนองして入力データをデータ入出力線対IOへ伝送する。データ入出力線対IOに伝送されたデータはコラムスイッチ107を介して所定のビット線対へ伝送され所定のメモリセルへデータが書込まれる。

【0009】次に、図10に示すコラムスイッチについてさらに詳細に説明する。図11は、図10に示すコラムスイッチの具体的な構成を示す図である。

【0010】図11を参照して、コラムスイッチ107は、NMOSトランジスタQ91～Q94を含む。イコライズ回路110は、NMOSトランジスタQ95～Q97を含む。メモリセルアレイ105は、ワード線WL、ビット線対BL0、/BL0、BL1、/BL1（“/”は相補信号線を示す）、メモリセルMCを含む。図11では、説明を容易にするため、2列のビット線対のみを図示している。

【0011】複数のワード線WLはロウデコーダ104と接続され、ロウデコーダ104は、入力した内部ロウアドレス信号にตอบสนองして所定のワード線WLを活性化させる。

【0012】複数のビット線対BL0、/BL0、BL1、/BL1は、複数のワード線WLと交差して配置され、各交差点にはそれぞれメモリセルMCが配置される。ワード線WLが活性化させると、メモリセルMCに記憶されているデータが対応するビット線対に読出される。複数のビット線対BL0、/BL0、BL1、/BL1はそれぞれセンスアンプ(SA)106a、106bと接続される。活性化されたワード線WLに対応するビット線対のデータはセンスアンプにより増幅される。

【0013】トランジスタQ91は、ビット線BL0とデータ入出力線IOと接続される。トランジスタQ92は、ビット線/BL0およびデータ入出力線/IOと接続される。トランジスタQ91およびQ92のゲートにはコラムデコーダ108から出力されるコラム選択信号CSL0が入力される。トランジスタQ93、Q94についても同様である。コラムデコーダ108は入力した内部コラムアドレス信号およびコラム制御信号Aをもとに所定のビット線対とデータ入出力線対とを接続するため、コラム選択信号を“L”から“H”へ立上げ、対応するトランジスタをオンさせ、ビット線対とデータ入出

力線対とを接続する。この結果、センスアンプで増幅されたデータはコラムスイッチ107を介してデータ入出力線対IO、/IOへ伝達される。

【0014】データ入出力線対IO、/IOにはイコライズ回路110が接続される。トランジスタQ95は、イコライズ信号EQにตอบสนองしてデータ入出力線対IO、/IOをイコライズする。トランジスタQ96、Q97は、イコライズ信号EQにตอบสนองしてデータ入出力線対IO、/IOを所定のプリチャージ電圧V_{BL}にプリチャージする。イコライズ回路110によりイコライズおよびプリチャージされた後、データ入出力線対IO、/IOにセンスアンプにより増幅されたデータが読出され、プリアンプ112へ入力される。プリアンプ112は入力したデータをさらに増幅し、リードデータ信号RDとしてメインアンプ113へ出力する。

【0015】次に、上記のコラムスイッチの動作について詳細に説明する。図12は、図11に示すコラムスイッチの動作を説明するタイミングチャートである。

【0016】図12を参照して、ビット線対BL0、/BL0が選択され、次に、ビット線対BL1、/BL1が選択された場合の動作について説明する。まず、コラム制御信号Aが“L”から“H”へ立上ると、コラム制御信号CSL0が“H”へ立上がる。この結果、トランジスタQ91およびQ92がオンされ、ビット線対BL0、/BL0のデータがデータ入出力線対IO、/IOへ読出される。

【0017】次に、所定時間経過後、コラム制御信号Aが“H”から“L”へ立下ると、コラム制御信号CSL0が“H”から“L”へ立下る。この結果、トランジスタQ91およびQ92はオフされ、ビット線対BL0、/BL0からデータ入出力線対IO、/IOへのデータ伝送が終了する。また、コラム制御信号Aが“H”から“L”へ立下ると、イコライズ信号EQが“L”から“H”へ立上がる。イコライズ信号EQが立上ると、トランジスタQ95、Q96およびQ97がオンし、データ入出力線対IO、/IOがイコライズおよび所定電位にプリチャージされる。

【0018】次に、コラム制御信号Aが“L”から“H”へ立上ると、コラム制御信号CSL1が“L”から“H”へ立上がり、トランジスタQ93およびQ94がオンし、ビット線対BL1、/BL1とデータ入出力線対IO、/IOが接続される。この結果、ビット線対BL1、/BL1のデータがデータ入出力線対IO、/IOへ読出される。

【0019】また、コラム制御信号Aが“L”から“H”へ立上ると、イコライズ信号EQは“H”から“L”へ立下り、トランジスタQ95、Q96、およびQ97はオフし、イコライズ動作およびプリチャージ動作が終了する。

【0020】上記のように、所定のビット線対からデー

タ入出力線対 I O、／I Oへデータを読出す際、必ず、所定時間イコライズ動作およびプリチャージ動作を実行していた。

【0021】次に、上記のコラムスイッチを用いた従来の半導体記憶装置の動作についてさらに詳細に説明する。図13は、図10に示す半導体記憶装置の動作を説明するタイミングチャートである。

【0022】図12を参照して、まず、外部から入力されるロウアドレスストロブ信号／RASが“H”へ立下り、外部から入力されるロウアドレス信号R1が読込まれ、ロウデコーダ104は、ロウアドレス信号R1に対応するワード線WLを活性化させる。

【0023】次に、外部から入力されるコラムアドレスストロブ信号／CASが“H”から“L”へ立下り、外部から入力されるコラムアドレス信号C1が読込まれる。コラムデコーダ108は、コラムアドレス信号C1に対応するビット線対BL0、／BL0とデータ入出力線対I O、／I Oとを接続するため、コラム制御信号CSL0を“L”から“H”へ立上げる。コラム制御信号CSL0に応答してトランジスタQ91およびQ92がオンし、データ入出力線対I O／I Oにデータが読出される。プリアンプ112は、プリアンプイネーブル信号PAEにตอบสนองして、データ入出力線対I O、／I Oに読出されたデータを増幅し、リードデータ信号RDとしてメインアンプ113へ出力する。メインアンプ113は、アウトプットイネーブル信号OEMにตอบสนองして、入力したリードデータ信号RDをさらに増幅し、出力データQとして外部へ出力する。

【0024】次に、所定時間経過後、コラムアドレスストロブ信号／CASが“L”から“H”へ立上ると、コラム制御信号CSL0が“H”から“L”へ立下り、データの読出が終了する。またこのとき、プリアンプイネーブル信号PAEおよびアウトプットイネーブル信号OEMも“H”から“L”へ立下り、プリアンプ112およびメインアンプ113からのデータの出力が終了する。

【0025】次に、時間Tの間イコライズ回路110によりデータ入出力線対I O、／I Oが次のデータを読出すためにイコライズおよびプリチャージされる。

【0026】次に、時間T経過後、コラムアドレスストロブ信号／CASが“H”から“L”へ立下り、コラムアドレス信号C2が読込まれる。以下、同様にデータの読込が行なわれ、メインアンプ113からビット線対BL1、／BL1から読出されたデータがデータ入出力線対I O、／I Oを介して増幅された後出力データQとして出力される。

【0027】

【発明が解決しようとする課題】上記のように従来の半導体記憶装置では、ビット線対から読出されたデータをデータ入出力線対I O、／I Oに読出す前に、イコライ

ズ時間Tが必要となっていた。イコライズ時間Tは、たとえば、ファーストページモードで最少でも10ns程度必要となり、このため、高速なデータ読出を行なうことができないという問題があった。

【0028】また、イコライズ時間Tを短縮した場合、データ入出力線対I O、／I Oが十分にイコライズされないため、データ入出力線対I O、／I Oのデータを反転させるのに時間がかかり、やはり高速なデータ読出を行なうことができないという問題点があった。

【0029】本発明は、上記課題を解決したものであって、イコライズ時間に影響されず高速なデータ読出を実現することができる半導体記憶装置を提供することを目的とする。

【0030】

【課題を解決するための手段】請求項1記載の半導体記憶装置は、複数のワード線と、ワード線と交差して配置された複数のビット線対と、ワード線とビット線対との交点に配置された複数のメモリセルとを含むメモリセルアレイと、メモリセルアレイから出力されるデータおよびメモリセルアレイへ入力されるデータを伝送する第1および第2データ入出力線対と、読出時に選択されたビット線対と第1または第2データ入出力線対とを選択的に接続する接続手段と、第1または第2データ入出力線対のうちデータ伝送に使用されていないデータ入出力線対をイコライズするイコライズ手段とを含む。

【0031】請求項2記載の半導体記憶装置は、請求項1記載の半導体記憶装置の構成に加え、上記接続手段は、ビット線対を選択するための選択信号にตอบสนองして第1または第2データ入出力線対を交互に選択する選択手段をさらに含む。

【0032】請求項3記載の半導体記憶装置は、複数のワード線と、ワード線と交差して配置された複数のビット線対と、ワード線とビット線対との交点に配置された複数のメモリセルとを含むメモリセルアレイと、メモリセルアレイから出力されるデータのみを伝送する第1および第2データ線対と、読出時に選択されたビット線対と第1または第2データ線対とを選択的に接続する接続手段と、第1または第2データ入出力線対のうちデータ伝送に使用されていないデータ線対をイコライズするイコライズ手段とを含む。

【0033】請求項4記載の半導体記憶装置は、複数ワード線と、ワード線と交差して配置された複数のビット線対と、ワード線とビット線対との交点に配置された複数のメモリセルとを含むメモリセルアレイと、メモリセルアレイから出力されるデータを伝送する副データ線対と、副データ線対から伝送されたデータを伝送する第1および第2主データ線対と、第1または第2主データ線対と副データ線対とを選択的に接続する接続手段と、第1または第2主データ線対のうちデータ伝送に使用されていない主データ線対をイコライズするイコライズ手段

とを含む。

【0034】

【作用】請求項1記載の半導体記憶装置においては、メモリセルアレイから出力されるデータおよびメモリセルアレイへ入力されるデータを伝送する第1および第2データ入出力線対と読出時に選択されたビット線対とを選択的に接続し、データ伝送に使用されていないデータ入出力線対をイコライズするので、一方のデータ入出力線対がデータ伝送に使用されている間に他方のデータ入出力線対をイコライズすることができ、イコライズ時間がデータ読出時間に影響を与えず、高速なデータ読出を行なうことが可能となる。さらに、第1および第2データ入出力線対は入力用データ線対として使用することができる。

【0035】請求項2記載の半導体記憶装置においては、ビット線対を選択するための選択信号にตอบสนองして第1または第2データ入出力線対を交互に選択しているので、イコライズ時間を考慮せず、選択信号を入力することができるとともに、第1または第2データ入出力線対を選択する選択手段が簡略化される。

【0036】請求項3記載の半導体記憶装置においては、メモリセルアレイから出力されるデータのみを伝送する第1および第2データ線対と読出時に選択されたビット線対とを選択的に接続し、データ伝送に使用されていないデータ線対をイコライズするので、イコライズ時間がデータ読出時間に影響を与えず、高速なデータ読出を行なうことが可能となる。

【0037】請求項4記載の半導体記憶装置においては、副データ線対と第1または第2主データ線対とを選択的に接続し、データ伝送に使用されていない主データ線対をイコライズするので、副データ線対から主データ線対へのデータ読出時間にイコライズ時間が影響せず、高速なデータ読出を行なうことが可能となる。

【0038】

【実施例】以下、本発明の一実施例の半導体記憶装置について図面を参照しながら説明する。図1は、本発明の一実施例の半導体記憶装置の構成を示すブロック図である。

【0039】図1では、DRAM（ダイナミックランダムアクセスメモリ）を例に説明するが、他の半導体記憶装置であっても同様に適用することができる。

【0040】図1を参照して、半導体記憶装置は、制御回路1、ロウアドレスバッファ2、コラムアドレスバッファ3、ロウデコーダ4、メモリセルアレイ5、センスアンプ部6、コラムスイッチ7、コラムデコーダ8、カウンタ回路9、イコライズ回路10、切換回路11、プリアンプ12、メインアンプ13、書込回路14、データバッファ15を含む。

【0041】制御回路1には、外部からロウアドレスストロブ信号／RAS、コラムアドレスストロブ信号

／CAS、ライトイネーブル信号／WE等の制御信号が入力され、所定の内部制御信号を装置内の各ブロックへ出力する。

【0042】ロウアドレスバッファ2には、外部からロウアドレス信号RAが入力され、ロウアドレスバッファ2は、内部ロウアドレス信号をロウデコーダ4へ出力する。

【0043】コラムアドレスバッファ3には、外部からコラムアドレス信号CAが入力され、コラムアドレスバッファ3は、コラムアドレス信号CAに対応した内部コラムアドレス信号をコラムデコーダ8へ出力し、コラムデコーダ8を活性化させ、かつ、コラムアドレス信号の変化に応じて変化するコラム制御信号Aをコラムデコーダ8およびカウンタ回路9へ出力する。

【0044】図1では、ロウアドレス信号RAおよびコラムアドレス信号CAを分割してそれぞれのバッファに入力しているが、ロウアドレス信号RAおよびコラムアドレス信号CAを時分割で1つのバッファに入力し、対応する内部ロウアドレス信号をロウデコーダ4へ出力し、対応する内部コラムアドレス信号をコラムデコーダ8へ出力するようにしてもよい。

【0045】メモリセルアレイ5は、ロウデコーダ4に接続される複数のワード線およびセンスアンプ部6の各センスアンプに接続される複数のビット線対およびワード線とビット線対との交点に配置される複数のメモリセルアレイを含む。

【0046】ロウデコーダ4は、内部ロウアドレス信号に対応した所定のワード線を選択し活性化させる。活性化されたワード線に接続されるメモリセルのデータはビット線対に読出され、センスアンプ部6で増幅される。

【0047】コラムデコーダ8は、入力した内部コラムアドレス信号にตอบสนองして所定のコラム制御信号を活性化させ、コラムスイッチ7の所定のスイッチをオンさせ、対応するビット線対と2つのデータ入出力線対IOA、IOBのうち一方を接続する。この結果、センスアンプ部6で増幅されたデータがビット線対を介してデータ入出力線対IOA、IOBの一方に読出される。

【0048】カウンタ回路9は、コラム制御信号Aにตอบสนองして後述する制御信号φA、φBをコラムスイッチ7、イコライズ回路10、切換回路11へ出力する。制御信号φA、φBは、データ入出力線対IOA、IOBを選択的に使用するための制御信号である。コラムスイッチ7は、制御信号φA、φBにตอบสนองして、所定のビット線対と所定のデータ入出力線対と接続する。

【0049】イコライズ回路10は、制御信号φA、φBにตอบสนองして、データ入出力線対IOA、IOBのうちデータ伝送に使用されていないデータ入出力線対のイコライズおよびプリチャージ動作を行なう。イコライズおよびプリチャージ動作後、データ入出力線対IOA、IOBにデータが伝送され、切換回路11へ入力される。

【0050】切換回路11は、制御信号 ϕA 、 ϕB に
答して、データ入出力線対IOA、IOBのうち一方の
データをプリアンプ12へ出力する。

【0051】プリアンプ12は、プリアンプイネーブル
信号PAEに
答して、入力したデータを増幅し、リー
ドデータ信号RDとしてメインアンプ13へ出力する。

【0052】メインアンプ13は、アウトプットイネー
ブル信号OEMに
答して入力したリードデータ信号R
Dをさらに増幅し、出力データQとして外部へ出力す
る。

【0053】また、データ書込時は、入力データDin
はデータバッファ15へ入力され、データインラッチ信
号DILに
答して入力データDinがラッチされ、書
込回路14へ出力される。

【0054】書込回路14は、ライトデータイネーブル
信号WDEに
答して、入力したデータを書込回路11
へ出力する。切換回路11は、制御信号 ϕA 、 ϕB に
答して、データ入出力線対IOA、IOBのうち一方の
データ線対へデータを伝送し、コラムスイッチ7を介し
てメモリセルアレイ5内の所定のメモリセルにデータが
書込まれる。

【0055】次に、図1に示すカウンタ回路についてさ
らに詳細に説明する。図2は、図1に示すカウンタ回路
の一例を示す回路図である。

【0056】図2を参照して、カウンタ回路は、NMO
SトランジスタQ1~Q11、キャパシタC1、C2、
インバータG1~G3を含む。

【0057】トランジスタQ1は、キャパシタC1を介
して接地電位と接続され、さらに、インバータG1、G
2、トランジスタQ4、およびトランジスタQ11のゲ
ートと接続される。トランジスタQ1のゲートには、コ
ラム制御信号Aが入力される。トランジスタQ2はトラ
ンジスタQ1とキャパシタC1との接続点であるノード
N2および接地電位と接続され、そのゲートには、リセ
ット信号RSが入力される。トランジスタQ3はトラ
ンジスタQ4および接地電位と接続され、そのゲートには
ノードN2の電位が入力される。トランジスタQ4は、
インバータG1およびG2と接続され、そのゲートは、
トランジスタQ5のゲートおよびインバータG3と接続
される。インバータG3にはコラム制御信号Aが入力さ
れる。トランジスタQ5は、インバータG1、G2、ト
ランジスタQ6、Q8、Q9、およびトランジスタQ1
0のゲートと接続される。トランジスタQ6は接地電位
と接続され、そのゲートはトランジスタQ7、トランジ
スタQ8、およびキャパシタC2と接続される。トラン
ジスタQ7は接地電位と接続され、そのゲートにはリセ
ット信号RSが入力される。トランジスタQ8はキャ
パシタC2を介して接地電位と接続され、そのゲートはト
ランジスタQ11と接続される。トランジスタQ9は接
地電位と接続され、そのゲートにはリセット信号RSが

入力される。トランジスタQ10、Q11にはコラム制
御信号Aが入力される。

【0058】上記のように構成されたカウンタ回路の動
作について説明する。図3は、図2に示すカウンタ回路
の動作を説明するタイミングチャートである。

【0059】図3を参照して、カウンタ回路は、リセッ
ト信号RSが“H”から“L”へ立下がるとリセット状
態が終了し、コラム制御信号Aに
答して以下に述べる
制御信号 ϕA 、 ϕB を出力する。リセット信号RSが

10 “L”の状態のとき、コラム制御信号Aが“L”から
“H”へ立上ると、トランジスタQ8およびQ1がオ
ンする。このとき、ノードTNは“L”の状態にあるの
で、ノードN1は“L”の状態にあり、ノードITNの
電位は“H”の状態にあるので、ノードN2が“L”か
ら“H”へ立上がる。このとき、ノードTNの電位は
“L”の状態にあるのでトランジスタQ10はオフの状
態にあり、コラム制御信号Aは出力されず、制御信号 ϕ
Bは“L”の状態にある。一方、ノードITNの電位は
“H”の状態にあるのでトランジスタQ11がオンし、
20 コラム制御信号Aが出力され、制御信号 ϕA は“L”か
ら“H”へ変化する。

【0060】次に、コラム制御信号Aが“H”から
“L”へ立下がると、トランジスタQ8およびQ1はオ
フの状態となる。このとき、ノードN1の電位は“L”
の状態であり、ノードN2の電位は“H”の状態であ
る。このとき、コラム制御信号AがインバータG3を介
して反転され、トランジスタQ4およびQ5のゲートに
入力される。したがって、トランジスタQ4およびQ5
がオンする。一方、ノードN1の電位は“L”であるの
でトランジスタQ6はオフの状態にある。また、ノード
N2の電位は“H”の状態にあるので、トランジスタQ
3がオンし、ノードITNの電位は“H”から“L”へ
立下がる。ノードITNの電位が“H”から“L”へ立
下ると、インバータG1およびG2によりノードTN
の電位は“L”から“H”へ立上がる。したがって、ト
ランジスタQ11はオフし、制御信号 ϕA は“H”から
“L”へ立下がる。

【0061】以下同様に動作し、次にコラム制御信号A
が“L”から“H”へ立上ると、制御信号 ϕB が
40 “L”から“H”へ立上がり、コラム制御信号Aが
“H”から“L”へ立下がると、制御信号 ϕB が“H”
から“L”へ立下がる。

【0062】以上の動作により、コラム制御信号Aの奇
数波形が制御信号 ϕA として出力され、偶数波形が制御
信号 ϕB として出力される。上記カウンタ回路は、一例
であって、他の2進カウンタ回路を用いてもよい。

【0063】次に、図1に示すコラムスイッチについて
さらに詳細に説明する。図4は、図1に示すコラムス
witchの具体的な構成を示す図である。図4では、説明を
容易にするため、2対のビット線対を含むメモリセルア

レイを例に説明しているが、2対以上のビット線対を含むメモリセルアレイでも同様に適用することが可能である。

【0064】図4を参照して、メモリセルアレイは、複数のワード線WL、ワード線WLに交差した複数のビット線対BL0、/BL0、BL1、/BL1、ワード線WLとビット線対BL0、/BL0、BL1、/BL1との交点に配置される複数のメモリセルMCを含む。メモリセルMCとしては、たとえば、1トランジスタ1キャパシタのメモリセルが用いられる。

【0065】センスアンプ(SA)60、61は、対応するビット線対BL0、/BL0、BL1、/BL1と接続され、ビット線対BL0、/BL0、BL1、/BL1に読出されたデータを増幅する。

【0066】コラムスイッチ7は、NMOSトランジスタQ21~Q32を含む。トランジスタQ21はビット線BL0、トランジスタQ23およびQ25と接続され、そのゲートにはコラムデコーダ8からコラム選択信号CSL0が入力される。トランジスタQ23はデータ入出力線IOAと接続され、そのゲートには制御信号φAが入力される。トランジスタQ25はデータ入出力線IOBと接続され、そのゲートには制御信号φBが入力される。トランジスタQ22はビット線/BL0、トランジスタQ24およびQ26と接続され、そのゲートにはトランジスタQ21と同様にコラム選択信号CSL0が入力される。トランジスタQ24はデータ入出力線/IOAと接続され、そのゲートには制御信号φAが入力される。トランジスタQ26はデータ入出力線/IOBと接続され、そのゲートには制御信号φBが入力される。トランジスタQ27~Q32もトランジスタQ21~Q26と同様に接続される。さらに複数のビット線対がある場合も同様である。

【0067】イコライズ回路10は、トランジスタQ41~Q56、インバータG5、G6を含む。トランジスタQ41はデータ入出力線IOA、/IOAと接続され、そのゲートには制御信号φAがインバータG5を介して入力される。トランジスタQ42はデータ入出力線IOAおよびトランジスタQ43と接続され、トランジスタQ43はデータ入出力線/IOAと接続される。トランジスタQ42およびQ43のゲートには制御信号φAがインバータG5を介して入力され、トランジスタQ42とトランジスタQ43の接続点には所定のプリチャージ電圧V_{BL}が入力される。トランジスタQ44~Q46も同様にデータ入出力線IOB、/IOBと接続される。

【0068】切換回路11は、NMOSトランジスタQ51~Q54を含む。トランジスタQ51は、データ入出力線IOAおよびプリアンプ12と接続され、そのゲートには制御信号φAが入力される。トランジスタQ52はデータ入出力線/IOAおよびプリアンプ12と接

続され、そのゲートには制御信号φAが入力される。トランジスタQ53およびQ54も同様にデータ入出力線IOB、/IOBおよびプリアンプ12と接続される。

【0069】次に、上記のように構成されたコラムスイッチの動作についてさらに詳細に説明する。図5は、図4に示したコラムスイッチの動作を説明するタイミングチャートである。図5は、2対のビット線対BL0、/BL0、BL1、/BL1から交互にデータを読出す場合を示している。

【0070】図5を参照して、コラム制御信号Aがコラムデコーダ8へ入力すると、コラムデコーダ8は、コラム制御信号Aにตอบสนองして、コラム選択信号CSL0およびCSL1を交互に出力する。また、前述のカウンタ回路により、コラム制御信号Aにตอบสนองして、制御信号φAおよびφBが交互に“H”の状態でコラムスイッチ7、イコライズ回路10、切換回路11へ入力される。

【0071】まず、コラム選択信号CSL0が“L”から“H”へ立上ると、トランジスタQ21およびQ22がオンし、ビット線対BL0、/BL0とトランジスタQ23~Q26とが接続される。このとき、制御信号φAは“L”から“H”へ立上がり、制御信号φBは“L”の状態にあるので、トランジスタQ23およびQ24がオンし、トランジスタQ25およびQ26がオフする。したがって、ビット線対BL0、/BL0とデータ入出力線IOA、/IOAとが、トランジスタQ21~Q24を介して接続され、センスアンプ60で増幅されたデータがデータ入出力線IOA、/IOAに読出される。

【0072】また、このとき制御信号φAは“H”の状態にあるのでトランジスタQ51およびQ52がオンし、データ入出力線IOA、/IOAに読出されたデータはプリアンプ12へ出力される。

【0073】次に、コラム制御信号Aが“H”から“L”へ立下ると、コラム選択信号CSL0が“H”から“L”へ立下り、トランジスタQ21およびQ22がオフする。この結果、ビット線対BL0、/BL0とデータ入出力線IOA、/IOAが切離される。

【0074】一方、制御信号φAが“H”から“L”へ立下ると、インバータG5を介して、イコライズ信号EQAが“L”から“H”へ立上がる。イコライズ信号EQAが“H”になると、トランジスタQ41~Q43がオンされ、トランジスタQ41によりデータ入出力線IOA、/IOAがイコライズされ、トランジスタQ42、Q43によりデータ入出力線IOA、/IOAがプリチャージ電圧V_{BL}にプリチャージされる。

【0075】次に、コラム制御信号Aが“L”から“H”へ立上ると、コラム選択信号CSL1が“L”から“H”へ立上がり、トランジスタQ27およびQ28がオンする。また、コラム制御信号Aが“H”から

10

20

30

40

50

“L”へ立上がると、制御信号 ϕB が“L”から“H”へ立上がり、トランジスタQ31およびQ32がオンし、ビット線対BL1、/BL1とデータ入出力線対IOB、/IOBとが接続される。また、制御信号 ϕB が“L”から“H”へ立上がると、インバータG6によりイコライズ信号EQBは“H”から“L”へ立下がる。したがって、トランジスタQ44によるイコライズおよびトランジスタQ45およびQ46によるプリチャージが終了し、センスアンプ61により増幅されたデータがデータ入出力線対IOB、/IOBに読出される。一方、イコライズ信号EQAは“H”の状態にあり、引続き、データ入出力線対IOA、/IOAはイコライズおよびプリチャージが行なわれている。

【0076】次に、コラム制御信号Aが“H”から“L”へ立下がると、コラム選択信号CSL1が“H”から“L”へ立下り、トランジスタQ27およびQ28がオフされ、ビット線対BL1、/BL1からデータ入出力線対IOB、/IOBへのデータ読出が終了する。また、コラム制御信号Aに応答して、制御信号 ϕB が“H”から“L”へ立下り、インバータG6によりイコライズ信号EQBが“L”から“H”へ立上がる。この結果、トランジスタQ44～Q46がオンし、データ入出力線対IOB、/IOBがトランジスタQ44によりイコライズされ、トランジスタQ45およびQ46によりプリチャージ電圧 V_{BL} にプリチャージさせる。

【0077】以上の動作により、1つのデータ入出力線対がデータ伝送に使用されている間に、他方のデータ線対をイコライズすることができ、イコライズ時間がデータ入出力線対へのデータ読出時間へ影響を与えることはなくなる。この結果、イコライズ時間を考慮せず、常に一方のデータ入出力線対へデータを読出すことができ、非常に高速なデータ読出を行なうことが可能となる。また、図4に示すデータ入出力線対では、データ入出力線対をデータの読出およびデータの書込に共用して使用することができ、高集積化に適する構成となる。

【0078】図4に示す実施例では、2対のビット線対BL0、/BL0、BL1、/BL1について述べたが、ビット線対が多数ある場合でも、交互に各ビット線対をデータ入出力線対に接続し、制御信号 ϕA および ϕB に応答して同様にコラムスイッチを動作させれば、上記と同様に順次所望のデータを2つのデータ入出力線対IOA、/IOA、IOB、/IOBに交互に読出すことが可能となる。また、メモリセルアレイが複数ある場合は、各ブロックごとに独立の制御信号 ϕA および ϕB を入力するようにしてもよい。この場合は、各ブロックごとに独立したタイミングでビット線対から2つのデータ入出力線対へ交互にデータを読出すことが可能となる。

【0079】次に、図1に示すプリアンプについてさらに詳細に説明する。図6は、図1に示すプリアンプの一

例を示す回路図である。

【0080】図6を参照して、プリアンプは、PMOSトランジスタQ61～Q64、NMOSトランジスタQ65～Q70、インバータG11～G13を含む。

【0081】データ入出力線IOAおよびIOBから出力される信号IOはトランジスタQ66のゲートに入力される。また、データ入出力線/IOAおよび/IOBから出力される信号/IOはトランジスタQ67のゲートに入力される。トランジスタQ66は、トランジスタQ68、Q64、Q67、およびQ61と接続される。トランジスタQ67は、トランジスタQ68およびトランジスタQ62と接続される。トランジスタQ61およびQ62は電源電圧 V_{CC} と接続される。トランジスタQ61およびQ62の各ゲートは、トランジスタQ61とトランジスタQ66との接続点に接続される。プリアンプイネーブル信号PAEはインバータG11、トランジスタQ64のゲート、およびトランジスタQ68のゲートに入力される。インバータG11はトランジスタQ65のゲートと接続される。トランジスタQ64およびQ65は、トランジスタQ61とトランジスタQ66との接続点とトランジスタQ62とトランジスタQ67との接続点とに接続される。トランジスタQ68は接地電位と接続される。以上の構成により、トランジスタQ61～Q62、Q64～Q68、インバータG11はカレントミラーアンプを構成する。

【0082】トランジスタQ63は電源電圧 V_{CC} およびトランジスタQ69と接続される。トランジスタQ63のゲートは、トランジスタQ62とQ67との接続点およびトランジスタQ70のゲートと接続される。トランジスタQ69のゲートにはプリアンプイネーブル信号PAEが入力される。トランジスタQ69はトランジスタQ70と接続される。トランジスタQ70は接地電位と接続される。インバータG12およびG13はトランジスタQ63とQ69との接続点に接続され、リードデータ信号RDを出力する。以上の構成により、トランジスタQ63、Q69、Q70、インバータG11、インバータG13は増幅回路を構成する。

【0083】以上の構成により、プリアンプは、プリアンプイネーブル信号PAEが“H”のときデータ入出力線対IO、/IOから入力したデータ信号を増幅し、インバータG12およびG13でラッチしリードデータ信号RDとして出力する。

【0084】次に、上記のように構成された半導体記憶装置の動作についてさらに詳細に説明する。図7は、図1に示す半導体記憶装置の動作を説明するタイミングチャートである。図7では、ファーストページモードにおいて、2つのデータを連続して読出し、図13に示すイコライズ時間 T をほぼ0nsにした状態の動作について説明する。

【0085】図7を参照して、まず、外部からロウアド

レスストロブ信号/RASが“H”から“L”へ立下がると、ロウアドレス信号R1が読込まれ、ロウデコーダ4はロウアドレス信号R1に対応した所定のワード線を活性化させる。

【0086】次に、外部から入力されるコラムアドレスストロブ信号/CASが“H”から“L”へ立下がると、コラムアドレス信号C1が読込まれる。また、コラムアドレスストロブ信号/CASが立下がると、コラム制御信号Aが“L”から“H”へ立上がり、コラムアドレス信号C1に対応したコラム選択信号ここではたとえばコラム選択信号CSL0が“L”から“H”へ立上がる。コラム選択信号CSL0が立上がると、ビット線対BL0、/BL0とデータ入出力線対IOA、/IOAが接続され、データ入出力線対IOA、/IOAにデータが読出される。

【0087】一方、コラム制御信号Aが立上がるとイコライズ信号EQAは“H”から“L”へ立下り、データ入出力線対IOA、/IOAのイコライズ動作は終了し、上記のようにデータが読出される。一方、イコライズ信号EQBは“H”の状態にあるのでデータ入出力線対IOB、/IOBはイコライズ動作が実行されている。

【0088】データ入出力線対IOA、/IOAに読出されたデータは、プリアンプイネーブル信号PAEが“H”にある間リードデータ信号RDとしてメインアンプ13に出力される。メインアンプ13では、アウトプットイネーブル信号OEMが“H”の間入力したリードデータ信号RDは出力データQとして出力される。

【0089】次に、コラムアドレスストロブ信号/CASが“L”から“H”へ立上がると、コラム制御信号Aが“H”から“L”へ立下がる。コラム制御信号Aが立下がる、コラム選択信号CSL0は“H”から“L”へ立下り、データの読出が終了する。また、コラム制御信号Aが立下がる、イコライズ信号EQAが“L”から“H”へ立上がり、データ入出力線対IOA、/IOAのイコライズ動作が開始される。

【0090】次に、コラムアドレスストロブ信号/CASが“H”から“L”へ立下がると次のコラムアドレス信号C1が読込まれる。コラムアドレスストロブ信号/CASが立上がるとコラム制御信号Aが“L”から“H”へ立上がり、コラムアドレス信号C1に対応したコラム選択信号CSL0が“L”から“H”へ再び立上がる。また、同時に、制御信号φBも“L”から“H”へ立上がっている、ビット線対BL0、/BL0とデータ入出力線対IOB、/IOBが接続され、ビット線対BL0、/BL0のデータがデータ入出力線対IOB、/IOBに読出される。

【0091】一方、コラム制御信号Aが立上がると、イコライズ信号EQBは“H”から“L”へ立下り、データ入出力線対IOB、/IOBのイコライズ動作が終了

する。したがって、イコライズ動作が完了したデータ入出力線対IOB、/IOBに上記のようにデータが読出される。

【0092】読出されたデータは、プリアンプイネーブル信号PAEが“H”の間リードデータ信号RDとしてメインアンプ13へ出力される。メインアンプ13では、アウトプットイネーブル信号OEMが“H”の間出力データQとして増幅した信号を出力する。

【0093】上記のように、一方のデータ入出力線対にデータが読出されている間に他方のデータ入出力線対のイコライズを行なっている、データ読出時間に対してイコライズ時間が全く影響しなくなる。つまり、従来の半導体記憶装置では、図13に示すように連続してデータを読出すためにはコラムアドレスストロブ信号/CASのパルスの間に約10ns程度のイコライズ時間をとる必要があったが、本実施例では、イコライズ動作はデータの出力に使われていない間に行なわれているので、このイコライズ時間Tをほぼ0nsにすることが可能となり、非常に高速なデータ読出を行なうことが可能となる。

【0094】上記の例では、同一のビット線対について連続した2つのデータを読出す場合について述べたが、異なるビット線対であっても、また、2つ以上のデータを連続して読出す場合であっても同様にデータを読出すことができ、イコライズ時間が全くデータ読出時間に影響せず、非常に高速なデータ読出を行なうことが可能となる。

【0095】また、上記実施例では、入出力動作を併用するデータ入出力線対について述べたが、読出専用のデータ線対を用いた場合でも同様に適用することができ、同様の効果を得ることができる。

【0096】次に、本発明の他の実施例の半導体記憶装置について図面を参照して説明する。図8は、本発明の他の実施例の半導体記憶装置の構成を示すブロック図である。図8では、本発明をグローバルデータ入出力線対およびローカルデータ入出力線対に用いた例である。

【0097】図8を参照して、半導体記憶装置は、メモリブロック16a~16d、セレクトゲート18a~19d、I/O入出力回路17、イコライズ回路(EQ)19、切換回路(SW)20を含む。

【0098】4つのメモリブロック16a~16dには、図1に示すロウデコーダ4、メモリセルアレイ5、センスアンプ部6、コラムスイッチ7、コラムデコーダ8等が含まれる。また、制御回路1、ロウアドレスバッファ2、コラムアドレスバッファ3、カウンタ回路9等は図示を省略している。各メモリブロック16a~16dにはローカルデータ入出力線対LIOa~LIOdがそれぞれ接続され、各メモリブロックから読出されたデータがローカルデータ入出力線対LIOa~LIOdへ出力される。ローカルデータ入出力線対LIOa~LIO

10

20

30

40

50

Odはそれぞれセレクトゲート18a~18dを介して2つのグローバルデータ入出力線対GIOA、/GIOBと接続される。グローバルデータ入出力線対GIOA、GIOBにはそれぞれイコライズ回路19が設けられ、イコライズ回路19は各グローバルデータ入出力線対GIOA、GIOBのイコライズ動作を実行する。グローバルデータ入出力線対GIOA、GIOBは切換回路20により一方のみがI/O入出力回路17と接続される。

【0099】次に、図8に示すセレクトゲートについてさらに詳細に説明する。図9は、図8に示すセレクトゲートの具体的な構成を示す図である。

【0100】図9を参照して、セレクトゲート18は、NMOSトランジスタQ71~Q74を含む。トランジスタQ71は、ローカルデータ入出力線LIOとグローバルデータ入出力線GIOAと接続される。トランジスタQ72はローカルデータ入出力線/LIOおよびグローバルデータ入出力線/GIOAと接続される。トランジスタQ71およびQ72のゲートには制御信号φAが入力される。トランジスタQ73はローカルデータ入出力線LIOおよびグローバルデータ入出力線GIOBと接続される。トランジスタQ74はローカルデータ入出力線/LIOおよびグローバルデータ入出力線/GIOBと接続される。トランジスタQ73およびQ74のゲートには制御信号φBが入力される。制御信号φA、φBはたとえば、図2に示すカウンタ回路により発生される。

【0101】上記の構成により、セレクトゲート18は、制御信号φA、φBに応じてローカルデータ入出力線対LIO、/LIOとグローバルデータ入出力線対GIOA、/GIOAまたはGIOB、/GIOBとを選択的に接続する。したがって、図1に示す半導体記憶装置と同様に、ローカルデータ入出力線対LIO、/LIOから読出されたデータはグローバルデータ入出力線対GIOA、/GIOAまたはGIOB、/GIOBに伝送される。

【0102】イコライズ回路19は、インバータG15、G16、トランジスタQ75~QQ80を含む。イコライズ回路19の構成は図4に示すイコライズ回路と同様であるので以下その説明を省略する。イコライズ回路19は、図1に示す半導体記憶装置と同様にデータ伝送に使用されていないグローバルデータ入出力線対のイコライズ動作を実行する。

【0103】切換回路20は、NMOSトランジスタQ81~Q84を含む。切換回路20の構成は図4に示す切換回路と同様であるので以下その説明を省略する。

【0104】上記のように本実施例の半導体記憶装置は構成されているので図1に示す半導体記憶装置と同様に、ローカルデータ入出力線対LIO、/LIOのデータをグローバルデータ入出力線対GIOA、/GIOA

またはGIOB、/GIOBへ読出し、入出力回路17へ入力し、最終的に出力データとして出力される。また、データ伝送に使用されていないグローバルデータ入出力線対をイコライズ回路19によりイコライズしているので、データ読出時間にイコライズ時間が全く影響せず、非常に高速なデータ読出を行なうことが可能となる。また、図8に示すように、1つのローカルデータ入出力線対の長さに比べてグローバルデータ入出力線対の長さが長い場合、グローバルデータ入出力線対の容量が大きく、イコライズ時間がかかる場合は特に効果がある。

【0105】上記実施例では、4つのメモリブロックを含む半導体記憶装置について述べたが、他の数のメモリブロックを含む半導体記憶装置であっても、また、図8に示すような構成を複数ブロック含む半導体記憶装置であっても、グローバルデータ入出力線対の長さがローカルデータ入出力線対の長さより長い場合は、特に顕著な効果を示す。

【0106】

【発明の効果】請求項1記載の半導体記憶装置においては、データの入出力に共用されるデータ入出力線対を用いてデータを読出す際、イコライズ時間がデータ読出時間に全く影響しないため、非常に高速なデータ読出を行なうことが可能となる。さらに、データ入出力線対は、データの入出力に共用され、さらに高集積化を実現することができる。

【0107】請求項2記載の半導体記憶装置においては、請求項1記載の半導体記憶装置の効果に加え、ビット線対を選択するための選択信号に応答して第1または第2データ入出力線対を交互に選択しているため、イコライズ時間を考慮せず、選択信号を入力することができる。さらに、第1または第2データ入出力線対を選択する選択手段が簡略化され高集積化に適する。

【0108】請求項3記載の半導体記憶装置においては、データの出力のみに用いられる他1および第2データ線対を用いてデータを読出す際、データ読出時間にイコライズ時間が全く影響せず、非常に高速なデータ読出を行なうことが可能となる。

【0109】請求項4記載の半導体記憶装置においては、副データ線対から第1または第2主データ線対へデータを読出す際、データ読出時間にイコライズ時間が全く影響せず、非常に高速にデータを読出すことが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体記憶装置の構成を示すブロック図である。

【図2】図1に示すカウンタ回路の一例を示す回路図である。

【図3】図2に示すカウンタ回路の動作を説明するタイミングチャートである。

10

20

30

40

50

【図4】図1に示すコラムスイッチの具体的な構成を示す図である。

【図5】図4に示すコラムスイッチの動作を説明するタイミングチャートである。

【図6】図1に示すプリアンプの一例を示す回路図である。

【図7】図1に示す半導体記憶装置の動作を説明するタイミングチャートである。

【図8】本発明の他の実施例の半導体記憶装置の構成を示すブロック図である。

【図9】図8に示すセレクトゲートの具体的な構成を示す図である。

【図10】従来の半導体記憶装置の構成を示すブロック図である。

【図11】図10に示すコラムスイッチの具体的な構成

を示す図である。

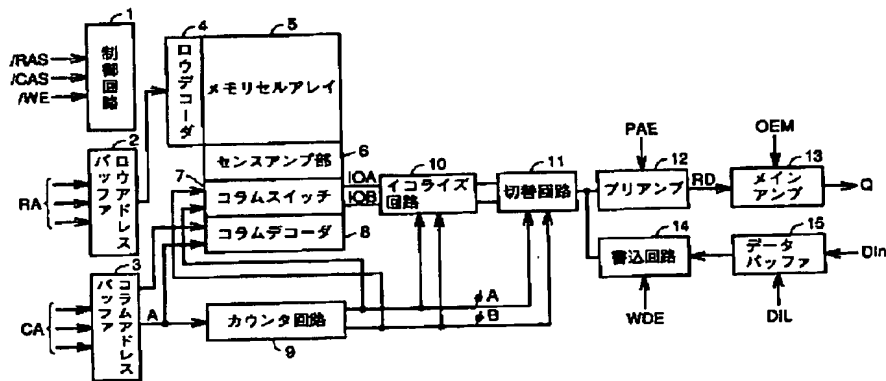
【図12】図11に示すコラムスイッチの動作を説明するタイミングチャートである。

【図13】図10に示す半導体記憶装置の動作を示すタイミングチャートである。

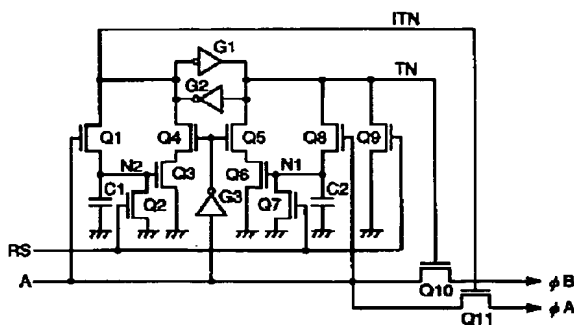
【符号の説明】

1 制御回路、2 ロウアドレスバッファ、3 コラムアドレスバッファ、4 ロウデコーダ、5 メモリセルアレイ、6 センスアンプ部、7 コラムスイッチ、8 コラムデコーダ、9 カウンタ回路、10 イコライズ回路、11 切替回路、12 プリアンプ、13 メインアンプ、14 書込回路、15 データバッファ、16 a~16 d メモリブロック、17 入出力回路、18 セレクトゲート、19 イコライズ回路、20 切替回路。

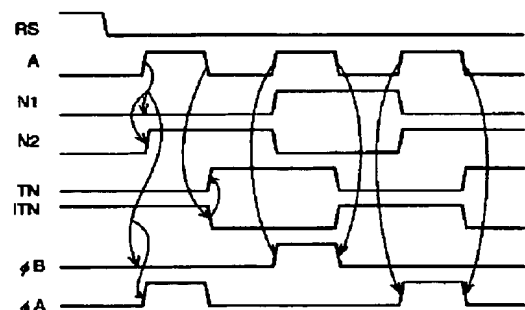
【図1】



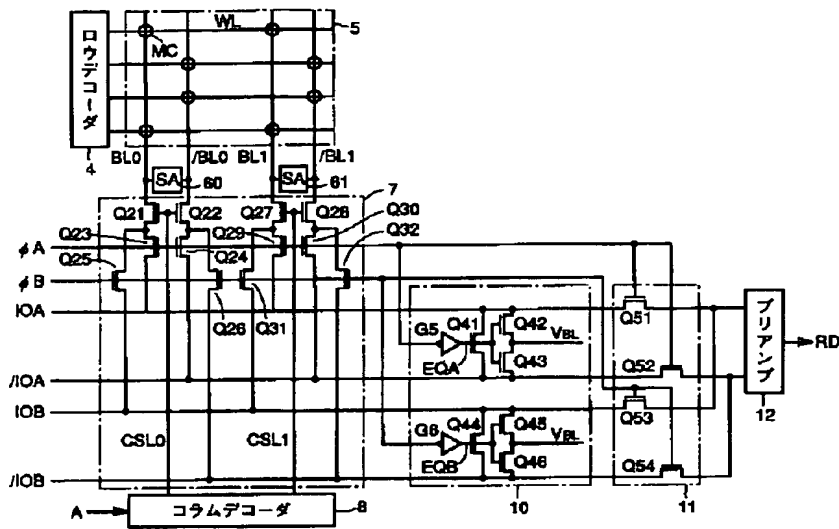
【図2】



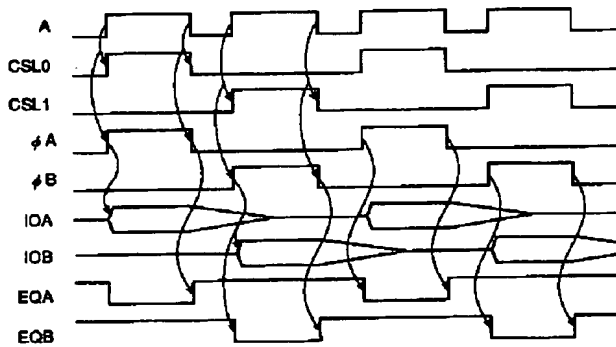
【図3】



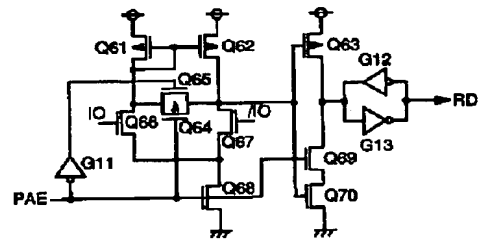
【図 4】



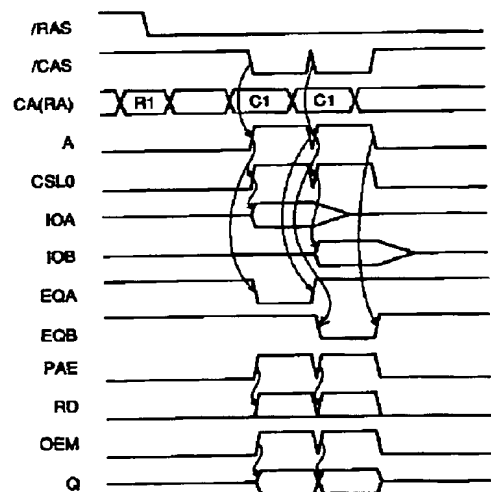
【図 5】



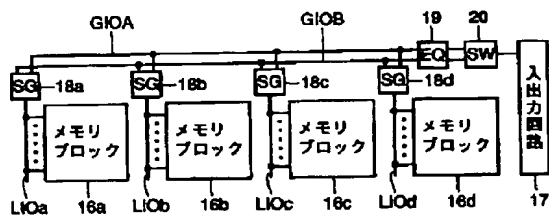
【図 6】



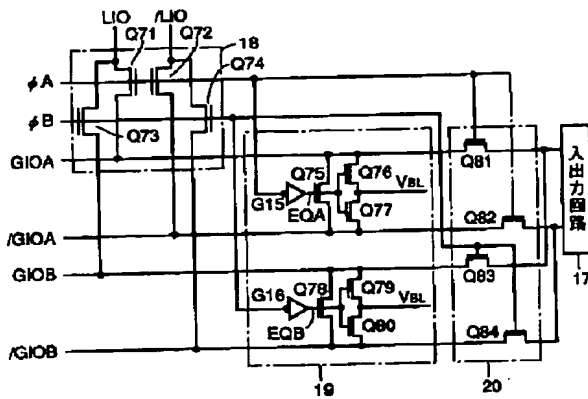
【図 7】



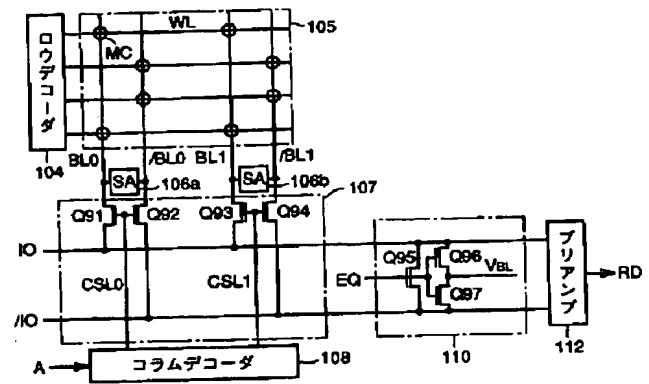
【図 8】



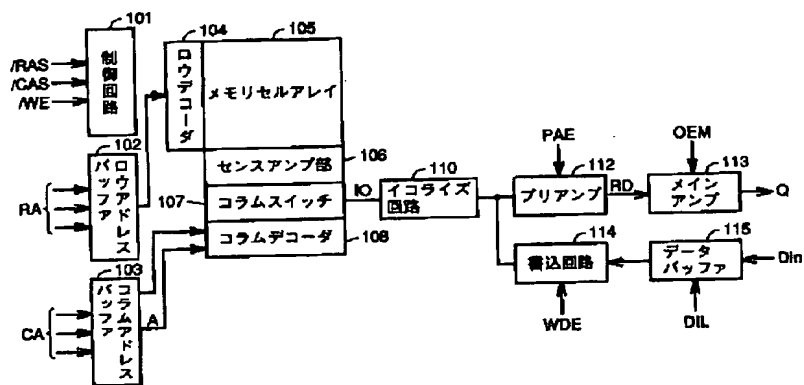
【図 9】



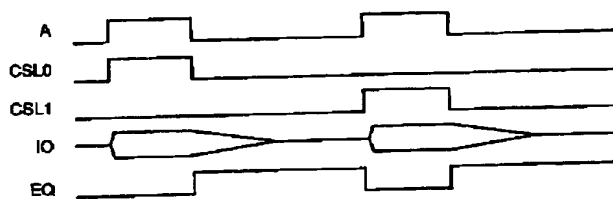
【図 1 1】



【図 10】



【图 1 2】



【图 13】

